

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-181678

(43)Date of publication of application : 12.07.1996

(51)Int.Cl.

H04J 3/07

(21)Application number : 06-320356

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.12.1994

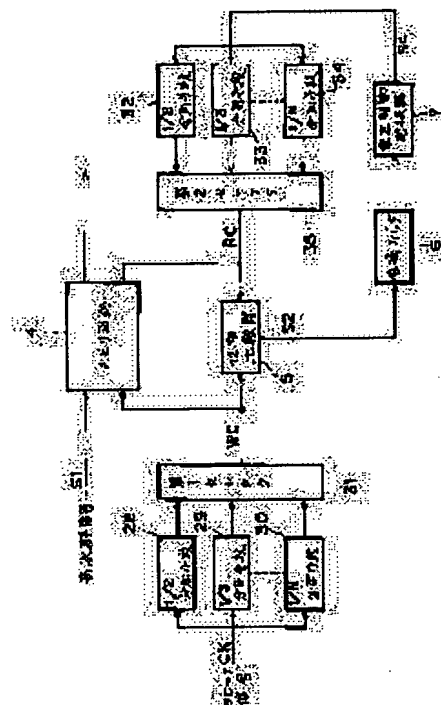
(72)Inventor : HOMITSU HIROYUKI
HONDA MASANORI

(54) DESTUFF SYNCHRONIZATION CIRCUIT

(57)Abstract:

PURPOSE: To reduce output jitter due to destuff control by applying destuff synchronization control to a high order group signal sent by the stuff synchronization control and a clock signal when the high order group signal is generated.

CONSTITUTION: Sets of 1/2-1/N frequency division means 28-30 apply frequency division of 1/integer number to a clock signal CK subject to destuff control up to 1/2-1/N frequency division. A 1st selector 31 selects output frequency division signals from the frequency divider means 28-30 to obtain a write clock signal WC. A voltage controlled oscillator 7 provides an output of a signal S4 whose frequency is equal to that of the signal CK and whose frequency is varied with a phase difference signal S2 passing through a low-pass filter 6. Sets of 1/2-1/N frequency division means 32-34 frequency-divide the signal S4. A 2nd selector 35 selects output frequency division signals of the means 32-34 to obtain a read clock signal RC. A phase comparator 5 compares the signal WC with the signal RC to provide an output of the phase difference signal S2. A memory circuit 4 stores a high order group signal S1 by the signal WC and is read by the signal RC.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



1/1

as Page Blank (uspto)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-181678

(43)公開日 平成8年(1996)7月12日

(51)IntCl.⁶

H 0 4 J 3/07

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2 O L (全 9 頁)

(21)出願番号 特願平6-320356

(22)出願日 平成6年(1994)12月22日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 穂満 弘幸

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 本田 正徳

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 松本 昂

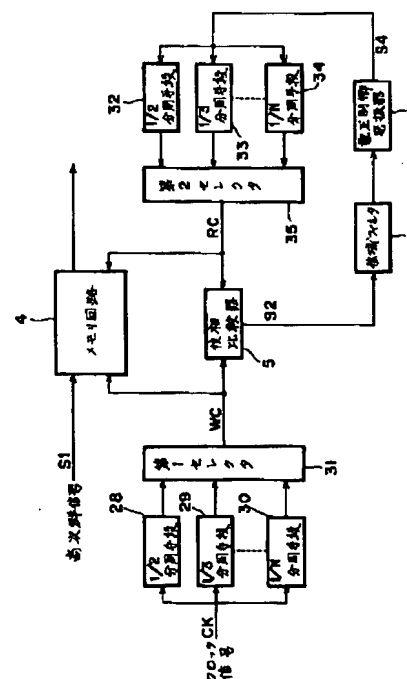
(54)【発明の名称】 デスタップ同期回路

(57)【要約】

【目的】本発明はデスタップ制御により生じる出力ジッタを極力低減することを目的とする。

【構成】メモリ回路4への書込／読出クロック信号WC／RCで高次群信号S1の情報ビットの書き込み／読み出しを行う構成において、デスタップ制御が施されたクロック信号CKを第1の1／2分周手段～1／N分周手段28～30で整数分周した後、第1セレクタ31で高次群信号S1を構成する情報ビット中に一定周期で挿入される補助信号の挿入ビット周期と整数比の関係とならない分周比の信号を選択して信号WCを生成し、クロック信号CKと同周波数の電圧制御発振器7の出力信号S4を第2の分周手段32～34で整数分周した後、第2セレクタ35で第1セレクタ31が選択した分周信号と同分周比の信号を選択して信号RCを生成し、また位相比較器5で信号WC／RCの位相差S2を検出し低域フィルタ6を介して発振器7へ出力するように構成する。

本発明の原理図



【特許請求の範囲】

【請求項 1】 スタッフ同期制御により送信されてきた高次群信号及びその高次群信号生成時のクロック信号についてデスタッフ同期制御を行うデスタッフ同期回路において、

デスタッフ制御が施された前記クロック信号を $1/2$ 分周～ $1/N$ 分周までの整数分周する第 1 の $1/2$ 分周手段～ $1/N$ 分周手段と、

前記高次群信号を構成する情報ビット中に一定周期で挿入される補助信号の挿入ビット周期と整数比の関係とならない分周比の、該第 1 の $1/2$ 分周手段～ $1/N$ 分周手段の出力分周信号を選択して書込クロック信号とする第 1 セレクタと、

前記クロック信号と同周波数であって、かつ低域フィルタを通過した位相差信号に応じて周波数が可変される信号を出力する電圧制御発振器と、

該電圧制御発振器の出力信号を $1/2$ 分周～ $1/N$ 分周までの整数分周する第 2 の $1/2$ 分周手段～ $1/N$ 分周手段と、

前記第 1 セレクタが選択した分周信号と同分周比の、該第 2 の $1/2$ 分周手段～ $1/N$ 分周手段の出力分周信号を選択して読出クロック信号とする第 2 セレクタと、
該書込クロック信号と該読出クロック信号との位相差を検出し、前記位相差信号として出力する位相比較器と、
該書込クロック信号により前記高次群信号の情報ビットが書き込まれ、この書き込まれた情報ビットが該読出クロック信号により読みだされるメモリ回路とを具備したことを特徴とするデスタッフ同期回路。

【請求項 2】 前記低域フィルタに代え、前記位相差信号に含まれるジッタ成分の周波数を検出する周波数検出手段と、この周波数検出手段によって検出された周波数のジッタ成分を除去するフィルタ手段を設けたことを特徴とする請求項 1 記載のデスタッフ同期回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデスタッフ同期回路に関する。デスタッフ同期回路は、ディジタル多重無線装置等に用いられるものであり、スタッフ同期によって送信されてきた高次群信号に含まれる変数ビットを除去するデスタッフ制御を行うものであるが、デスタッフ制御により生じる出力ジッタを極力低減することが要望されている。

【0002】

【従来の技術】 最初に、スタッフ同期について説明する。複数の低次群信号を多重化して速度変換を行い高次群信号を生成する場合、各々僅かに周波数の異なる低次群信号をメモリ回路に一時記憶し、この記憶された各低次群信号よりもやや高い周波数の高次群の読出クロック信号でメモリ回路から読み出し、この際に、読出クロック信号と低次群信号の周波数との差をうめるために、そ

の差に相当する補助信号を挿入するが、更にその速度変換を行った場合に、長フレーム区間では補助信号で補償できない周波数ずれが生じるので、それをスタッフ同期制御による変数ビットで補い、各低次群信号の周波数を高次群信号に正確に一致させている。

【0003】 このように補助信号及び変数ビットが含まれた高次群信号のデスタッフ同期を行う従来のデスタッフ同期回路を図 7 に示し、その説明を行う。図 7 において、1 はデスタッフ制御回路、2 はアンド回路、3 は $1/12$ 分周を行う分周回路、4 はバッファメモリ回路、5 は位相比較器、6 は低域フィルタ、7 は電圧制御発振器、8 は $1/12$ 分周を行う分周回路、9 は FF (フリップフロップ) である。

【0004】 但し、バッファメモリ回路 4 は、シフトレジスタ 23 と、FF 24、25 と、並列/直列変換部

(P/S) 26 とを有して構成されている。このような構成要素から成るデスタッフ同期回路に入力される前述した速度変換が行われると共にスタッフ同期が行われた高次群信号及びそのクロック信号を図 8 に示す。

【0005】 図 8 において、S1 は高次群信号であり、多重化された各低次群信号の情報ビット D1～D12 と補助信号 S とから構成される。また図 8 の高次群信号 S1 には変数ビットは示していないが、変数ビットは補助信号 S の次のビット位置に挿入されることになる。

【0006】 CK は入力クロック信号であり、高次群信号 S1 を生成する際に補助信号 S を挿入するための歯抜け部分を有するものであり、ここでは平均 1.544 MHz とする。

【0007】 クロック信号 CK は、オア回路 2 の他入力端に入力されると共に、変数ビットを除去する制御を行うデスタッフ制御回路 1 を介して他入力端に入力され、更に、バッファメモリ回路 4 のシフトレジスタ 23 に高次群信号 S1 の情報ビット D1～D12 をトリガするためのものとして入力される。

【0008】 シフトレジスタ 23 において、情報ビット D1～D12 がクロック信号 CK により順次トリガされることによって、直列/並列変換が行われ、並列化された情報ビット D1～D12 が FF 24 に供給される。

【0009】 ここで、図 8 の情報ビット D1～D12 とクロック信号 CK とのタイミング関係から分かるように、クロック信号 CK は補助信号 S の部分が歯抜けとなっているので、補助信号 S はシフトレジスタ 23 においてトリガされないようになっている。

【0010】 オア回路 2 では、クロック信号 CK とデスタッフ制御回路 1 から出力されるクロック信号との論理和が取られ、この論理和の取られたクロック信号が分周回路 3 で $1/12$ 分周される。

【0011】 この $1/12$ 分周されたクロック信号は、図 8 に示すようなタイミングの書込クロック信号 WC として、FF 24 に供給されると共に、位相比較器 5 の一

入力端に入力される。

【0012】図8にSBで示す高次群信号S1の1サブフレーム単位と同周期の書込クロック信号WCによって、FF24に供給された情報ビットD1～D12がトリガされることによって、FF24に情報ビットD1～D12が保持される。

【0013】この保持された情報ビットD1～D12は、後段のFF25に分周回路8から出力される読出クロック信号RCによってトリガされて保持される。この保持された情報ビットD1～D12は、P/S26に供給される。

【0014】読出クロック信号RCは、書込クロック信号WCと同周波数であり、位相比較器5、低域フィルタ6、電圧制御発振器7及び分周回路8によるPLL回路によって書込クロック信号WCと同位相となるように制御されることにより得られる。

【0015】即ち、読出クロック信号RCと書込クロック信号WCとの位相差が位相比較器5で取られ、その位相差信号S2の所定低帯域分が低域フィルタ6でカットされ、これによって低域フィルタ6から出力される制御信号S3に応じた発振周波数（入力クロック信号CKと同周波数の1.544MHz）の信号S4が分周回路8で1/12分周されることによって読出クロック信号RCが得られる。

【0016】また、P/S26に供給された情報ビットD1～D12は、電圧制御発振器7から出力される信号S4によって直列データに変換され、後段のFF9へ出力され、ここで、一旦FF9に信号S4でトリガされて保持されることによって、情報ビットD1～D12が多重化された高次群データS6として出力される。その高次群データS6は、1.544Mb/sとなる。

【0017】

【発明が解決しようとする課題】ところで、上述した図7に示す従来のデスタップ同期回路において、書込クロック信号WCは、図8に示すように高次群信号S1の補助信号Sが挿入される周期と同周期になっているので、送信側のスタップ同期制御によって変数ビットが挿入された場合、高次群信号S1の情報ビットD1～D12の周期毎に1ビットずつずれる。

【0018】即ち、書込クロック信号WCは、最初の周期では書込クロック信号WCの立ち上がりエッジが情報ビットD2をトリガする位置に移行し、次の周期では情報ビットD3をトリガする位置に移行し、……といったように順次移行し、最後の情報ビットD12をトリガする位置に移行した次には、最初の情報ビットD1をトリガする位置に戻る。つまり書込クロック信号WCのずれが強い周期性を持つことになる。

【0019】このような強い周期性を有することから、位相比較器5から出力される位相差信号S2は、デスタップ制御回路1でデスタップ制御が行われなかったと考

場合、図9に示すように、1サブフレーム単位SB毎に同波形のノコギリ波を繰り返すものとなる。

【0020】一方、デスタップ制御が行われた場合、位相差信号S2は、図10に示すように、符号12で示すデスタップ制御により生じるジッタ成分であるノコギリ波（太線）に、符号13で示す図9に示したノコギリ波11であるジッタ成分が重畳されたものとなる。

【0021】このような2つのジッタ成分を図11の周波数スペクトル図で示すと、図10に符号12で示したジッタ成分は、矢印15で示す周波数の低い直流成分に近いものとなり、図10に符号13で示したジッタ成分は矢印16で示すものとなる。

【0022】矢印16で示すジッタ成分は、直流成分から離れているため、図7に示す低域フィルタ6でカットするようにしているが、低域フィルタ6の特性が図11に符号17で示すように限界があるので、符号18で示す部分が不用波（ジッタ成分）として残る。この不用波18は電圧制御発振器7の電圧制御に影響を及ぼし、この結果、読出クロック信号RCの位相を書込クロック信号WCに適合できず、バッファメモリ回路4から正常に情報ビットD1～D12を読み出すことができなくなる問題があった。

【0023】即ち、前記したようなジッタ成分18が多く残る程に回線エラーが生じやすくなり安定した長スパン伝送ができなくなる問題があった。本発明は、このような点に鑑みてなされたものであり、デスタップ制御により生じる出力ジッタを極力低減することによって回線エラーをほぼ無くし、安定した長スパン伝送を行うことを可能とするデスタップ同期回路を提供することを目的としている。

【0024】

【課題を解決するための手段】図1に本発明のデスタップ同期回路の原理図を示す。このデスタップ同期回路は、スタップ同期制御により送信されてきた高次群信号S1及びその高次群信号S1生成時のクロック信号CKについてデスタップ同期制御を行うものである。

【0025】28～30は第1の1/2分周手段～1/N分周手段であり、デスタップ制御が施されたクロック信号CKを1/2分周～1/N分周までの整数分周するものである。

【0026】31は第1セレクタであり、高次群信号S1を構成する情報ビット中に一定周期で挿入される補助信号の挿入ビット周期と整数比の関係とならない分周比の、第1の1/2分周手段28～1/N分周手段30の出力分周信号を選択して書込クロック信号WCとするものである。

【0027】7は電圧制御発振器であり、クロック信号CKと同周波数であって、かつ低域フィルタ6を通過した位相差信号S2に応じて周波数が可変される信号S4を出力するものである。

【0028】32～34は第2の1/2分周手段～1/N分周手段であり、電圧制御発振器7の出力信号S4を1/2分周～1/N分周までの整数分周するものである。35は第2セクタであり、第1セクタ31が選択した分周信号と同分周比の、第2の1/2分周手段32～1/N分周手段34の出力分周信号を選択して読出クロック信号RCとするものである。

【0029】5は位相比較器であり、書込クロック信号WCと読出クロック信号RCとの位相差を検出し、前記した位相差信号S2として出力するものである。4はメモリ回路であり、書込クロック信号WCにより高次群信号S1の情報ビットが書き込まれ、この書き込まれた情報ビットが読出クロック信号RCにより読みだされるものである。

【0030】

【作用】上述した本発明によれば、以上説明した実施例のデスタップ同期回路によれば、書込クロック信号WCが、高次群信号S1の補助信号が挿入される周期と整数比の関係とならないようにクロック信号CKを分周したものである、送信側のスタップ同期制御によって高次群信号S1に変数ビットが挿入され、これによって高次群信号S1における補助信号の挿入タイミングがクロック信号CKに対してずれた場合でも、そのクロック信号CKに対する補助信号の挿入タイミングのずれ、言い換えれば補助信号の挿入タイミングに対するクロック信号CKを分周して得られる書込クロック信号WCのずれが、周期性を持つことがなくなる。

【0031】このように、ずれが周期性を持つ場合、デスタップ制御によって位相差信号S2に重畳されるジッタ成分がある周波数帯で大きくなり、低域フィルタ6で全てカットしきれずに電圧制御発振器7に制御信号として供給されるため、電圧制御発振器7の出力信号S4の周波数を正しく制御できず、この結果、読出クロック信号RCの位相を書込クロック信号WCの位相に合わせることができない。

【0032】しかし、前述したように、ずれが強い周期性を持たなくなった場合、位相差信号S2に重畳されるジッタ成分が複数の周波数帯に分散されて小さくなり、その大半を低域フィルタ6でカットできるので電圧制御発振器7の出力信号S4の周波数をほぼ正しく制御することができ、この結果、読出クロック信号RCの位相を書込クロック信号WCの位相にほぼ合わせることができ、メモリ回路4への高次群信号S1の情報ビットの書き込み/読み出しを適正に行うことができる。

【0033】

【実施例】以下、図面を参照して本発明の一実施例について説明する。図2は本発明の一実施例によるデスタップ同期回路のブロック構成図である。この図において図7に示した従来例の各部に対応する部分には同一符号を付し、その説明を省略する。

【0034】図2に示す第1実施例回路が図7に示した従来例回路と異なる点は、図7に示した分周回路3及び8を、図2に示すような構成の分周回路21及び22とした点にある。

【0035】即ち、分周回路21を、オア回路2の出力クロック信号を1/4分周する1/4分周部(1/4)28と、1/3分周する1/3分周部(1/3)29と、1/5分周する1/5分周部(1/5)30と、1/4分周部28、1/3分周部29、及び1/5分周部30の何れかの出力分周信号を選択するセクタ31とを具備して構成し、また、分周回路22を、電圧制御発振器7の出力信号S4を1/4分周する1/4分周部(1/4)32と、1/3分周する1/3分周部(1/3)33と、1/5分周する1/5分周部(1/5)34と、1/4分周部32、1/3分周部33、及び1/5分周部34の何れかの出力分周信号を選択するセクタ35とを具備して構成した点にある。

【0036】更に、セクタ31及び35は同分周された分周信号を選択するようになっており、分周信号を選択する場合、高次群信号S1において補助信号Sが挿入される周期と整数比の関係とならない分周信号を選択するようになっている。即ち1サブフレーム単位SBに対応する周期と整数比とならない分周信号を選択するようになっている。

【0037】この実施例では、1サブフレーム単位SBがクロック信号CKの12周期分に対応しているので、整数比関係とならない1/5分周部30から出力される1/5分周信号B1をセクタ31が選択し、1/5分周部30と同分周を行う1/5分周部34から出力される1/5分周信号B2をセクタ35が選択するようになっている。1/5分周部30から出力される1/5分周信号B1を図3に示す。

【0038】このような構成において、シフトレジスタ23において、情報ビットD1～D12がクロック信号CKにより順次トリガされることによって、直列/並列変換が行われ、並列化された情報ビットD1～D12がFF24に供給される。

【0039】FF24に供給された情報ビットD1～D12は、セクタ31で書込クロック信号WCとして選択された1/5分周信号B1によってトリガされて保持される。

【0040】この保持された情報ビットD1～D12は、後段のFF25に、セクタ35で読出クロック信号RCとして選択された1/5分周信号B2によってトリガされて保持される。この保持された情報ビットD1～D12は、P/S26に供給される。

【0041】ここで、図3のタイミングチャートから分かるように、書込クロック信号WC(1/5分周信号B1)は、情報ビットD1～D12の5ビット分の周期を有し、また、書込クロック信号WCと同周期の読出クロ

ック信号RCも情報ビットD1～D12の5ビット分の周期を有しているの、情報ビットD1～D12は安定的に書き込んで読み出されることになる。

【0042】P/S26に供給された情報ビットD1～D12は、電圧制御発振器7から出力される信号S4によって直列データに変換され、後段のFF9へ出力され、ここで、一旦FF9に信号S4でトリガされて保持されることによって、情報ビットD1～D12が多重化された高次群データS6として出力される。その高次群データS6は、1.544Mb/sとなる。

【0043】以上説明した実施例のデスタップ同期回路によれば、書込クロック信号WCは、図3に示すように高次群信号S1の補助信号Sが挿入される周期と整数比の関係とならないようにクロック信号CKを分周したものであるの、送信側のスタップ同期制御によって変数ビットが挿入された場合でも、従来のように高次群信号S1の情報ビットD1～D12の周期毎に1ビットずつずれるといった強い周期性を持つことが無くなる。

【0044】このように強い周期性を持たなくなるので、位相比較器5から出力される位相差信号S2は、デスタップ制御回路1でデスタップ制御が行われないと考えた場合、図4に示すように、1サブフレーム単位SB毎に異なる波形のノコギリ波4.1～4.5のものとなる。

【0045】一方、デスタップ制御が行われた場合、位相差信号S2は、図5に示すように、符号12で示すデスタップ制御により生じるジッタ成分であるノコギリ波（太線で示すが、これは図10に示した従来例と同様のものとなる）に、符号47～50（他のノコギリ波には符号を省略した）で示す図4に示したノコギリ波4.1～4.5であるジッタ成分が重畳されたものとなる。

【0046】このような2つのジッタ成分を図6の周波数スペクトル図で示すと、図5に符号12で示したジッタ成分は、図11にも矢印15で示したように従来例と同様な矢印15で示す周波数の低い直流成分に近いものとなる。

【0047】しかし、図5に符号47～50で示したジッタ成分は位相差信号S2が周期性を持たないことから矢印52及び53で示すように分散されたものとなる。矢印52及び53で示すようにジッタ成分が分散された場合、図2に示す位相比較器5から出力される位相差信号S2を低域フィルタ6に通した場合、図6に示すように、一方のジッタ成分53はカットされ、また、他のジッタ成分52も図11に示したジッタ成分16よりも振幅が小さいので、符号54で示す低域フィルタ6でのカット後の残留成分である不用波（ジッタ成分）が小さくなる。

【0048】即ち、不用波54の振幅が小さいので、電圧制御発振器7の電圧制御に及ぼす影響が小さくなり、この結果、読出クロック信号RCの位相を書込クロック信号WCにほぼ適合することができ、バッファメモリ回

路4から正常に情報ビットD1～D12を読み出すことができる。従って、回線エラーが殆ど生じなくなるので安定した長スパン伝送を行うことが可能となる。

【0049】また、低域フィルタ6の代わりに、図6に示す位相差信号S2のジッタ成分52及び53の周波数を検出する周波数検出手段と、この周波数検出手段によって検出された周波数のジッタ成分52及び53のみを除去するバンドパスフィルタを設けることによって、ジッタ成分52及び53を除去するように構成してもよい。

【0050】

【発明の効果】以上説明したように、本発明によれば、デスタップ制御により生じる出力ジッタを極力低減することによって回線エラーをほぼ無くし、安定した長スパン伝送を行うことを可能とする効果がある。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の一実施例によるデスタップ同期回路のブロック構成図である

【図3】図2に示すデスタップ同期回路で扱われる信号のタイミングチャートである。

【図4】デスタップ制御未実行時に、図2に示す位相比較器から出力される位相差信号の波形を示す図である。

【図5】デスタップ制御実行時に、図2に示す位相比較器から出力される位相差信号の波形を示す図である。

【図6】図2に示すデスタップ同期回路のデスタップ制御による出力ジッタ成分を示す周波数スペクトル図である。

【図7】従来例によるデスタップ同期回路のブロック構成図である

【図8】図7に示すデスタップ同期回路で扱われる信号のタイミングチャートである。

【図9】デスタップ制御未実行時に、図7に示す位相比較器から出力される位相差信号の波形を示す図である。

【図10】デスタップ制御実行時に、図7に示す位相比較器から出力される位相差信号の波形を示す図である。

【図11】図7に示すデスタップ同期回路のデスタップ制御による出力ジッタ成分を示す周波数スペクトル図である。

【符号の説明】

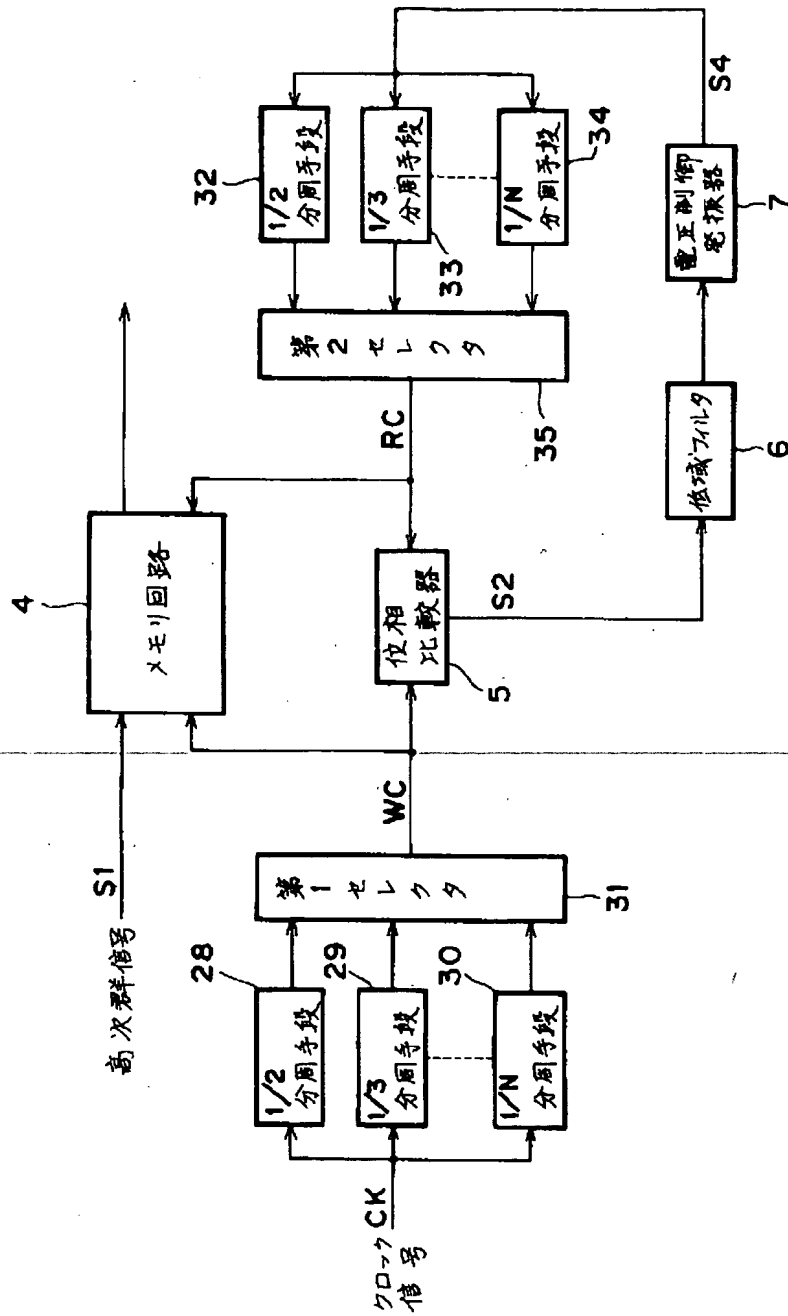
- 4 メモリ回路
- 5 位相比較器
- 6 低域フィルタ
- 7 電圧制御発振器
- 28, 32 1/2分周手段
- 29, 33 1/3分周手段
- 30, 34 1/N分周手段
- 31 第1セレクタ
- 35 第2セレクタ
- CK クロック信号

S1 高次群信号
S2 位相差信号

WC 書込クロック信号
RC 読出クロック信号

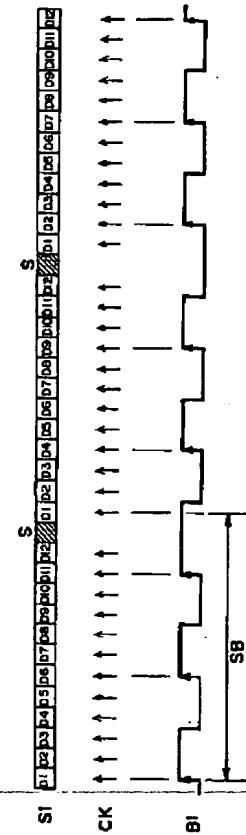
【図1】

本発明の原理図



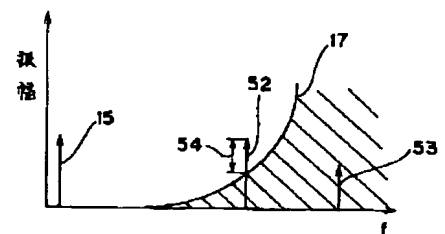
【図3】

図2に示す回路で扱われる信号のタイミングチャート



【図6】

図2に示す回路のデスタフ制御による出カジッタ成分を示す周波数スペクトル図



【図4】

デスタフ制御未実行時に図2に示す位相比較器から出力される位相差信号の波形を示す図

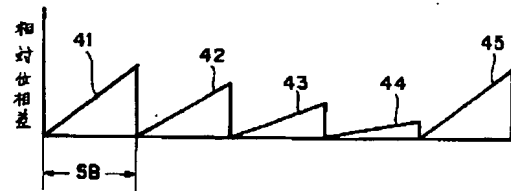
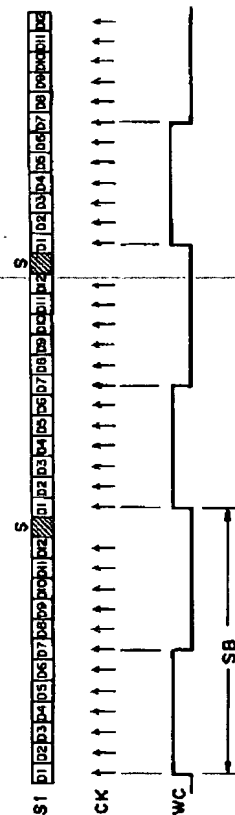
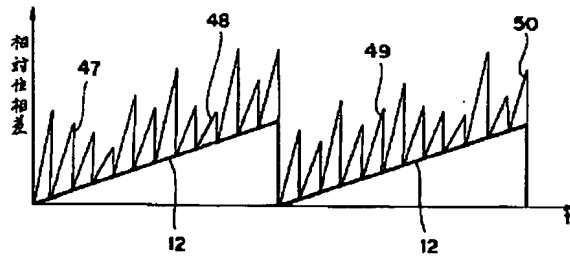


図 7 に示す回路で扱われる信号のタイミングチャート



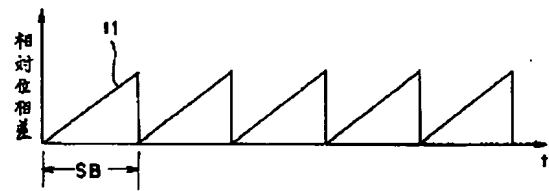
【図 5】

デストップ制御実行時に図 2 に示す位相比較器から
出される位相差信号の波形を示す図



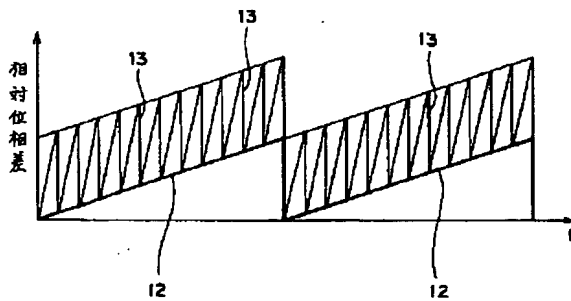
【図 9】

デストップ制御未実行時に図 7 に示す位相比較器から
出される位相差信号の波形を示す図



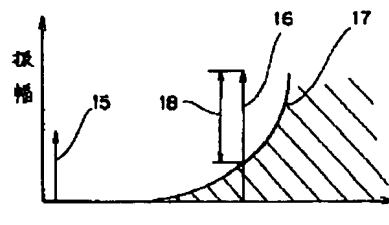
【図 10】

デストップ制御P実行時に図 7 に示す位相比較器から
出される位相差信号の波形を示す図



【図 11】

図 7 に示す回路のデストップ制御による出力成分
を示す周波数スペクトル図



【図7】

従来例図

